

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of

Tomoe YAMAMOTO et al.

Conf.

Application No. NEW NON-PROVISIONAL

Group

Filed March 24, 2004

Examiner

SEMICONDUCTOR DEVICE AND MANUFACTURING PROCESS THEREFOR

CLAIM TO PRIORITY

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

March 24, 2004

Sir:

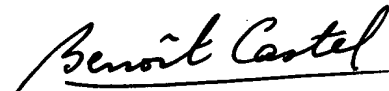
Applicant(s) herewith claim(s) the benefit of the priority filing date of the following application(s) for the above-entitled U.S. application under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2003-084314	March 26, 2003

Certified copy(ies) of the above-noted application(s) is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON



Benoit Castel, Reg. No. 35,041
745 South 23rd Street
Arlington, VA 22202
Telephone (703) 521-2297
Telefax (703) 685-0573
703) 979-4709

BC/yr

Attachment(s): 1 Certified Copy(ies)



05

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 6 日
Date of Application:

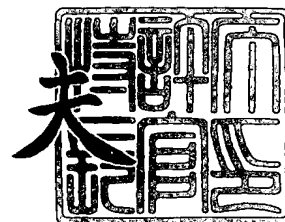
出 願 番 号 特 願 2 0 0 3 - 0 8 4 3 1 4
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 8 4 3 1 4]

出 願 人 N E C エレクトロニクス株式会社
Applicant(s):


2 0 0 3 年 1 2 月 1 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 1 0 5 4 7 0



【書類名】 特許願

【整理番号】 74120036

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/8242

【発明者】

 【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内

 【氏名】 山本 朝恵

【発明者】

 【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内

 【氏名】 飯塚 敏洋

【特許出願人】

 【識別番号】 302062931

 【氏名又は名称】 NECエレクトロニクス株式会社

【代理人】

 【識別番号】 100110928

 【弁理士】

 【氏名又は名称】 速水 進治

 【電話番号】 03-3461-3687

【手数料の表示】

 【予納台帳番号】 138392

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0216935

【プルーフの要否】 要

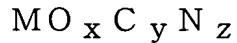
【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、その上部に設けられた金属化合物膜とを有し

前記金属化合物膜は、下記式



(但し、 x 、 y 、 z は、 $0 < x$ 、 $0.1 \leq y \leq 1.25$ 、 $0.01 \leq z$ 、 $x + y + z = 2$ を満たす。 M は、少なくとも Hf または Zr を含む。)

で表される組成を有することを特徴とする半導体装置。

【請求項 2】 半導体基板と、その上部に設けられた、一对の電極およびこれらに挟まれた容量膜を有する容量素子とを備え、

前記容量膜は、下記式



(但し、 x 、 y 、 z は、 $0 < x$ 、 $0.1 \leq y \leq 1.25$ 、 $0.01 \leq z$ 、 $x + y + z = 2$ を満たす。 M は、少なくとも Hf または Zr を含む。)

で表される組成の金属化合物膜を含むことを特徴とする半導体装置。

【請求項 3】 請求項 2 に記載の半導体装置において、

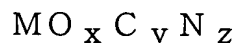
前記半導体基板上に形成されたゲート電極、および、前記半導体基板中に設けられ表面がシリサイド化されたソース領域およびドレイン領域を有するトランジスタと、

前記トランジスタの前記ソース領域および前記ドレイン領域と前記容量素子とを接続する接続プラグと、

をさらに備えることを特徴とする半導体装置。

【請求項 4】 半導体基板と、該半導体基板の主面に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、前記ゲート電極を挟んで前記半導体基板の主面に形成されたソース領域およびドレイン領域とを有し、

前記ゲート絶縁膜が、下記式



(但し、 x 、 y 、 z は、 $0 < x$ 、 $0.1 \leq y \leq 1.25$ 、 $0.01 \leq z$ 、 $x + y + z = 2$ を満たす。 M は、少なくとも Hf または Zr を含む。)

で表される組成の金属化合物膜を含むことを特徴とする半導体装置。

【請求項 5】 請求項 1 乃至 4 いずれかに記載の半導体装置において、

前記式が、さらに、

$0.7 \leq x \leq 1.85$ 、 $0.05 \leq z \leq 0.2$

を満たすことを特徴とする半導体装置。

【請求項 6】 請求項 1 乃至 5 いずれかに記載の半導体装置において、

前記金属化合物膜は、化学的気相成長法により形成された膜であることを特徴とする半導体装置。

【請求項 7】 請求項 1 乃至 5 いずれかに記載の半導体装置において、

前記金属化合物膜は、原子層成長法により形成された膜であることを特徴とする半導体装置。

【請求項 8】 半導体基板の上部に、原子層成長法により、下記式

$MO_xC_yN_z$

(但し、 x 、 y 、 z は、 $0 < x$ 、 $0.1 \leq y \leq 1.25$ 、 $0.01 \leq z$ 、 $x + y + z = 2$ を満たす。 M は、少なくとも Hf または Zr を含む。)

で表される組成の金属化合物膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 9】 半導体基板の上部に第一の電極、容量膜および第二の電極を形成する工程を含む半導体装置の製造方法であって、

前記容量膜を形成する工程は、原子層成長法により、下記式

$MO_xC_yN_z$

(但し、 x 、 y 、 z は、 $0 < x$ 、 $0.1 \leq y \leq 1.25$ 、 $0.01 \leq z$ 、 $x + y + z = 2$ を満たす。 M は、少なくとも Hf または Zr を含む。)

で表される組成の金属化合物膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 9 に記載の半導体装置の製造方法において、

半導体基板上にゲート電極を形成する工程と、

前記ゲート電極を挟んで前記半導体基板の主面に不純物を導入し、ソース領域およびドレイン領域を形成する工程と、

前記ソース領域および前記ドレイン領域の表面をシリサイド化する工程と、

前記ゲート電極、前記ソース領域および前記ドレイン領域を覆うように層間絶縁膜を形成した後、該層間絶縁膜を選択的に除去して前記ソース領域および前記ドレイン領域に到達するコンタクトホールを形成し、次いで前記コンタクトホールを金属膜で埋め込むことにより接続プラグを形成する工程と、

をさらに含み、

前記接続プラグと前記第一の電極とが接続するように前記第一の電極を形成し

、
前記容量膜を 200℃以上 400℃以下の温度で形成し、前記第一の電極および前記第二の電極を 500℃以下の温度で形成することを特徴とする半導体装置の製造方法。

【請求項 11】 半導体基板上にゲート絶縁膜を形成する工程と、

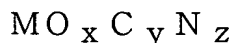
該ゲート絶縁膜上にゲート電極膜を形成する工程と、

前記ゲート絶縁膜および前記ゲート電極膜を所定の形状に加工し、ゲート電極を形成する工程と、

前記ゲート電極を挟んで前記半導体基板の主面に不純物を導入し、ソース領域およびドレイン領域を形成する工程と、

を含み、

前記ゲート絶縁膜を形成する工程は、原子層成長法により、下記式



(但し、 x 、 y 、 z は、 $0 < x$ 、 $0.1 \leq y \leq 1.25$ 、 $0.01 \leq z$ 、 $x + y + z = 2$ を満たす。 M は、少なくとも Hf または Zr を含む。)

で表される組成の金属化合物膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 8 乃至 11 いずれかに記載の半導体装置の製造方法において、

前記式が、

$0.7 \leq x \leq 1.85$ 、 $0.05 \leq z \leq 0.2$

を満たすことを特徴とする半導体装置の製造方法。

【請求項 13】 請求項 8 乃至 12 いずれかに記載の半導体装置の製造方法において、

原子層成長法により前記金属化合物膜を形成する際、成膜ガスの原料として、
 $M(NRR')_4$

(但し、Mは、少なくとも Hf または Zr を含む。R および R' はそれぞれ独立に炭化水素基を示す。)

を用いることを特徴とする半導体装置の製造方法。

【請求項 14】 請求項 8 乃至 13 いずれかに記載の半導体装置の製造方法において、

原子層成長法により前記金属化合物膜を形成する際、酸化剤ガスとして、NO、 N_2O 、 NO_2 、 H_2O 、 O_2 および O_3 からなる群から選択される一または二以上のガスを用いることを特徴とする半導体装置の製造方法。

【請求項 15】 請求項 8 乃至 14 いずれかに記載の半導体装置の製造方法において、

前記金属化合物膜を形成した後、窒素または窒素を含む雰囲気中でアニールを行い、前記金属化合物膜中に窒素を導入する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 16】 請求項 15 に記載の半導体装置の製造方法において、

リモートプラズマを用いて、金属化合物膜中に窒素を導入する前記工程を実施することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体基板上に金属化合物膜を備える半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】

近年、半導体素子の構成材料として、high-kとよばれる高誘電率薄膜の利用が検討され始めている。high-k材料の代表的なものとしては、Zr、Hf等を含む酸化物が挙げられる。こうした材料を容量素子の容量膜やMOSFETのゲート絶縁膜に用いることにより、従来にない優れた素子性能を実現することが可能となる。

【0003】

特許文献1には、こうしたhigh-k材料を用いた容量素子が開示されている。この文献において、high-k材料からなる容量膜は、原子層成長法(ALD; Atomic Layer Deposition)により形成されている。原子層成長法は、一原子層ずつ層を堆積していく方法であり、成膜工程が低温プロセスになる上、良好な膜質の膜が得られやすいという利点を有する。

【0004】

図2は、特許文献1記載の容量素子の断面図である。基板21上に、素子分離領域22が設けられ、素子領域に、ゲート電極23、ソース／ドレイン拡散層24からなるトランジスタが形成されている。ゲート電極23の両脇にはサイドウォール25が設けられている。ゲート電極23上およびソース／ドレイン拡散層24上部は、不図示のコバルトシリサイド膜で覆われている。

【0005】

このトランジスタ上に、セルコンタクト28を介してビット線29が形成されている。また、トランジスタ上に、容量コンタクト31を介してシリンダ型のMIM容量素子が設けられている。この容量素子は、下部電極34、容量膜35および上部電極36が積層し、さらにその上部にタングステン膜37が形成された構成を有している。容量膜35の絶縁膜としては、ZrO₂等の金属材料が用いられる。容量膜35は、原子層成長法により形成される。

【0006】

原子層成長法によりZrO₂を形成する場合、成膜ガスとして、ZrCl₄およびH₂Oを用いることが一般的である。上記文献にもこのような方法によりZrO₂を形成することが記載されている。しかしながら、現在ではhigh-k膜に対し、より高水準の膜質が求められ、より高い生産効率の成膜が望まれるよ

うになってきており、従来の成膜方法は、こうしたニーズに対し必ずしも十分な解を与えるものではなかった。また、近年では、high-k材料を用いた容量素子については、リーク電流を低減することが強く望まれていた。

【0007】

一方、high-k材料をトランジスタのゲート絶縁膜に用いる試みも行われている。こうした材料を利用することにより、ゲート絶縁膜の厚みをある程度厚くしてもシリコン酸化膜換算膜厚は薄くなり、物理的・構造的に安定なゲート絶縁膜を実現することができる。しかしながら、このようなゲート絶縁膜を具備するトランジスタでは、ゲート電極中に導入された不純物がゲート絶縁膜を突き抜けてチャネル領域に到達することがあった。不純物の突き抜けが起こると、設計通りのトランジスタ特性が得られず、半導体素子の信頼性が著しく低下する。high-kゲート絶縁膜を備えるトランジスタの設計においては、こうした不純物の突き抜けを十分に抑制することが重要な技術的課題となる。

【0008】

【特許文献1】

特開2002-373945号公報

【0009】

【発明が解決しようとする課題】

本発明は上記事情に鑑みなされたものであって、その目的とするところは、高誘電率材料からなる膜を有する半導体素子において、当該膜中の漏れ電流を低減し、素子の信頼性を向上させることにある。

【0010】

また本発明の別な目的は、高容量で漏れ電流の少ない容量素子を提供することにある。

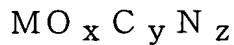
【0011】

また本発明の別な目的は、シリコン酸化膜換算膜厚が薄く、信頼性の高いゲート絶縁膜を備えたトランジスタを提供することにある。

【0012】

【課題を解決するための手段】

本発明によれば、半導体基板と、その上部に設けられた金属化合物膜とを有し、前記金属化合物膜は、下記式

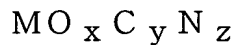


(但し、 x 、 y 、 z は、 $0 < x$ 、 $0.1 \leq y \leq 1.25$ 、 $0.01 \leq z$ 、 $x + y + z = 2$ を満たす。 M は、少なくとも Hf または Zr を含む。)

で表される組成を有することを特徴とする半導体装置が提供される。

【0013】

また、本発明によれば、半導体基板と、その上部に設けられた、一对の電極およびこれらに挟まれた容量膜を有する容量素子とを備え、前記容量膜は、下記式



(但し、 x 、 y 、 z は、 $0 < x$ 、 $0.1 \leq y \leq 1.25$ 、 $0.01 \leq z$ 、 $x + y + z = 2$ を満たす。 M は、少なくとも Hf または Zr を含む。)

で表される組成の金属化合物膜を含むことを特徴とする半導体装置が提供される。

【0014】

この半導体装置において、前記半導体基板上に形成されたゲート電極、および、前記半導体基板中に設けられ表面がシリサイド化されたソース領域およびドレイン領域を有するトランジスタと、前記トランジスタの前記ソース領域および前記ドレイン領域と前記容量素子とを接続する接続プラグと、をさらに備える構成とすることができる。

【0015】

さらに本発明によれば、半導体基板と、該半導体基板の主面に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、前記ゲート電極を挟んで前記半導体基板の主面に形成されたソース領域およびドレイン領域とを有し、前記ゲート絶縁膜が、下記式



(但し、 x 、 y 、 z は、 $0 < x$ 、 $0.1 \leq y \leq 1.25$ 、 $0.01 \leq z$ 、 $x + y + z = 2$ を満たす。 M は、少なくとも Hf または Zr を含む。)

で表される組成の金属化合物膜を含むことを特徴とする半導体装置が提供される

。

【0016】

また本発明によれば、半導体基板の上部に、原子層成長法により、下記式 $MO_xC_yN_z$ (但し、 x 、 y 、 z は、 $0 < x$ 、 $0.1 \leq y \leq 1.25$ 、 $0.01 \leq z$ 、 $x + y + z = 2$ を満たす。 M は、少なくとも Hf または Zr を含む。) で表される組成の金属化合物膜を形成する工程を含むことを特徴とする半導体装置の製造方法が提供される。

【0017】

本発明によれば、半導体基板の上部に第一の電極、容量膜および第二の電極を形成する工程を含む半導体装置の製造方法であって、前記容量膜を形成する工程は、原子層成長法により、下記式



(但し、 x 、 y 、 z は、 $0 < x$ 、 $0.1 \leq y \leq 1.25$ 、 $0.01 \leq z$ 、 $x + y + z = 2$ を満たす。 M は、少なくとも Hf または Zr を含む。) で表される組成の金属化合物膜を形成する工程を含むことを特徴とする半導体装置の製造方法が提供される。

【0018】

この半導体装置の製造方法において、半導体基板上にゲート電極を形成する工程と、前記ゲート電極を挟んで前記半導体基板の主面に不純物を導入し、ソース領域およびドレイン領域を形成する工程と、前記ソース領域および前記ドレイン領域の表面をシリサイド化する工程と、前記ゲート電極、前記ソース領域および前記ドレイン領域を覆うように層間絶縁膜を形成した後、該層間絶縁膜を選択的に除去して前記ソース領域および前記ドレイン領域に到達するコンタクトホールを形成し、次いで前記コンタクトホールを金属膜で埋め込むことにより接続プラグを形成する工程と、をさらに含み、前記接続プラグと前記第一の電極とが接続するように前記第一の電極を形成し、前記容量膜を 200°C 以上 400°C 以下の温度で形成し、前記第一の電極および前記第二の電極を 500°C 以下の温度で形成するようにしてもよい。

【0019】

さらに本発明によれば、半導体基板上にゲート絶縁膜を形成する工程と、該ゲート絶縁膜上にゲート電極膜を形成する工程と、前記ゲート絶縁膜および前記ゲート電極膜を所定の形状に加工し、ゲート電極を形成する工程と、前記ゲート電極を挟んで前記半導体基板の主面に不純物を導入し、ソース領域およびドレイン領域を形成する工程と、

を含み、前記ゲート絶縁膜を形成する工程は、原子層成長法により、下記式



(但し、 x 、 y 、 z は、 $0 < x$ 、 $0.1 \leq y \leq 1.25$ 、 $0.01 \leq z$ 、 $x + y + z = 2$ を満たす。 M は、少なくとも Hf または Zr を含む。)

で表される組成の金属化合物膜を形成する工程を含むことを特徴とする半導体装置の製造方法が提供される。

【0020】

本発明に係る半導体装置は、上記式 $\text{MO}_x\text{C}_y\text{N}_z$ により特定される組成を有する金属化合物膜を具備する。この金属化合物膜は、炭素および窒素を特定の組成範囲で含有するため、漏れ電流が顕著に低減される。本発明者の検討によれば、上記特定組成を有する金属化合物膜を用いることにより膜の表面の平滑性が向上することが確認されており、このことが、金属化合物膜と隣接する膜との間で漏れ電流を低減することに寄与しているものと推察される。上記金属化合物膜の膜表面が平滑になる理由は必ずしも明らかではないが、炭素および窒素を特定の組成範囲で含有する膜組成とすることにより薄膜を構成するグレインのサイズが小さくなり、これにより、膜表面の平滑性が向上するものと考えられる。

【0021】

漏れ電流の低減の効果は、特に本発明を容量素子に適用した場合、一層顕著となる。容量素子は、一对の金属電極間に誘電体からなる容量膜が配置された構成を有し、電極と容量膜との間の異種材料界面において漏れ電流が発生しやすい。本発明によれば、上記金属化合物膜を含む容量膜の表面平滑性が向上するため、こうした界面における漏れ電流を効果的に低減することができる。

【0022】

一方、本発明をトランジスタに適用した場合、ゲート絶縁膜中の不純物の移動を抑制でき、従来技術の項で述べた不純物の突き抜けを抑制することができる。この理由は明らかではないが、前述したように、炭素および窒素を特定の組成範囲で含有する膜組成とすることにより薄膜を構成するグレインのサイズが小さくなることが推察され、これにより、粒界を経由する不純物の移動が抑制されるものと考えられる。

【0023】

本発明の半導体装置の製造方法は、化学的气相成長法、好ましくは原子層成長法を用いており、上述したような優れた特性を有する半導体装置を安定的に提供することができる。

【0024】

【発明の実施の形態】

本発明において、前記式 $MO_xC_yN_z$ が、 $0.7 \leq x \leq 1.85$ 、 $0.05 \leq z \leq 0.2$ を満たす構成とすることができる。こうすることにより、金属化合物膜中の漏れ電流を一層確実に低減することができる。なお、窒素組成を示す z の値を0.1以下とすれば、相対的に酸素の組成比が増大し、誘電率の向上が図られる。なお、上記式 $MO_xC_yN_z$ により規定される金属化合物膜は、他に、微量元素を含んでいても良い。

【0025】

本発明の半導体装置において、半導体基板上に形成されたゲート電極、および、半導体基板中に設けられ表面がシリサイド化されたソース領域およびドレイン領域を有するトランジスタと、トランジスタのソース領域およびドレイン領域と容量素子とを接続する接続プラグと、をさらに備える構成としてもよい。ソース領域およびドレイン領域表面をシリサイド化することにより、ソース領域およびドレイン領域の低抵抗化およびソース領域およびドレイン領域と接続プラグとのコンタクト抵抗の低減を図ることができ、これにより、トランジスタの動作の高速化を図ることができる。

【0026】

本発明において、原子層成長法により前記金属化合物膜を形成する際、成膜ガスの原料として、

$M(NR R')_4$

(但し、Mは、少なくともHfまたはZrを含む。RおよびR'はそれぞれ独立に炭化水素基を示す。)

を用いることができる。こうすることにより、上記特定組成の金属化合物膜を安定的に得ることができる。また、成膜ガスの原料由来のパーティクルの混入が抑制され、金属化合物膜の膜質をより向上させることができる。

【0027】

本発明において、金属化合物膜を形成した後、窒素または窒素を含むガス中でアニールを行い、膜中に窒素を導入してもよい。金属化合物膜中に窒素を導入することにより、より一層、漏れ電流の低減を図ることができる。

【0028】

本発明を容量素子に適用した場合において、以下の構成を採用してもよい。すなわち、半導体基板上に形成されたゲート電極、および、前記半導体基板中に設けられ表面がシリサイド化されたソース領域およびドレイン領域を有するトランジスタと、前記トランジスタの前記ソース領域および前記ドレイン領域と前記容量素子とを接続する接続プラグと、をさらに備える構成としてもよい。ソース領域およびドレイン領域表面をシリサイド化することにより、ソース領域およびドレイン領域の低抵抗化およびソース領域およびドレイン領域と接続プラグとのコンタクト抵抗の低減を図ることができ、これにより、トランジスタの動作の高速化を図ることができる。シリサイド化されたソース領域およびドレイン領域は、たとえば500℃を超える高温プロセスを行うと、シリサイドの凝集が起こることがある。本発明に係る容量素子は、容量膜を原子層成長法のような200℃～400℃の低温成膜プロセスで形成することができるので、こうした凝集の発生を抑えることができる。こうした構成の半導体装置は、半導体基板上にゲート電極を形成する工程と、ゲート電極を挟んで半導体基板の主面に不純物を導入し、ソース領域およびドレイン領域を形成する工程と、ソース領域およびドレイン領域の表面をシリサイド化する工程と、ゲート電極、ソース領域およびドレイン領

域を覆うように層間絶縁膜を形成した後、該層間絶縁膜を選択的に除去してソース領域およびドレイン領域に到達するコンタクトホールを形成し、次いでコンタクトホールを金属膜で埋め込むことにより接続プラグを形成する工程と、を経ることにより作製することができる。この際、上記接続プラグと第一の電極とが接続するように第一の電極を形成する。また、第一の電極および第二の電極は、500℃以下の温度で形成する。下限値は成膜方法に応じて適宜な温度が選択されるが、たとえば100℃以上とする。

【0029】

ソース領域およびドレイン領域の表面をシリサイド化する工程は、ソース領域およびドレイン領域に接して遷移金属からなる金属膜を形成した後、熱処理を加える工程を含むこととすることができる。遷移金属からなる金属膜としては、たとえばコバルト膜、ニッケル膜等を例示することができる。こうした構成を採用した場合、容量素子の第一の電極、容量膜および第二の電極を形成する工程は、500℃以下の温度で行うようにする。500℃を超える温度とすると、ソース領域およびドレイン領域に形成されたシリサイドが凝集を起こし、接続プラグとソース領域およびドレイン領域とのコンタクト抵抗が増大する。低温プロセスで電極および容量膜を形成するためには、電極材料を適宜に選択するとともに、容量膜の成膜を原子成長法により行うことが好ましい。こうした観点から、電極材料としては、たとえば、Ti、W、Pt、IrまたはRu、またはこれらの窒化物を含む材料が好ましく用いられる。

【0030】

以下、本発明の好ましい実施の形態について図面を参照して説明する。

【0031】

第一の実施の形態

本実施形態は、シリンダ型のMIM容量素子に関するものである。図1は、本実施形態に係る容量素子の概略構造を示す図である。ゲート電極123およびソース・ドレイン領域124を具備するトランジスタ上に、容量コンタクト131を介してシリンダ型のMIM容量素子が設けられている。容量素子は、下部電極（第一の電極）140、容量膜142、上部電極（第二の電極）144およびタ

ングステン膜がこの順で積層し、さらにこれをパターニングし加工された構造を有している。また、トランジスタ上に、セルコンタクト 128 を介してビット線 129 が形成されている。なお、図 1 中、ビット線 129 と容量コンタクト 131 が同じ断面図に描かれているが、全体構造の理解のためにこのように記載したものであり、実際にはこれらは交差していない。容量コンタクト 131 が設けられている領域の間隙にビット線 129 が配置された形態となっている。

【0032】

容量膜 142 は、 $ZrO_xC_yN_z$ （但し、 x 、 y 、 z は、 $0 < x$ 、 $0.1 \leq y \leq 1.25$ 、 $0.01 \leq z$ 、 $x + y + z = 2$ を満たす。）からなる組成の金属化合物膜により構成されている。こうした組成の金属化合物膜は、単に成膜ガスを適切に選択することのみでは実現することは困難であり、成膜ガスの選択、成膜条件の最適化によりはじめて形成することが可能となる。

【0033】

こうした特定組成の金属化合物膜により容量膜を構成しているため、本実施形態に係る容量素子は、高容量であり、かつ、漏れ電流が顕著に低減されている。以下、図 1 に示す素子の製造工程について説明する。

【0034】

まず、図 3 (a) に示すようにトランジスタを形成する。シリコンからなる基板 121 上に、素子分離領域 122 を形成し、図示しないゲート絶縁膜を介してゲート電極 123 を形成した後、基板 121 の表面近傍に不純物をイオン注入し、ソース・ドレイン領域 124 を形成する。つづいて、ゲート電極 123 およびソース・ドレイン領域 124 の表面にコバルト膜を形成した後、熱処理し、コバルトシリサイドを形成する。以上のようにして形成されたトランジスタ上に、層間絶縁膜 126 を形成する。

【0035】

次に、層間絶縁膜 126 を選択的にドライエッチングし、ソース・ドレイン領域 124 に達するコンタクトホールを形成する。次いでこのコンタクトホールにバリア膜である TiN/Ti を成膜した後、ホールを埋め込むようにタングステン膜を成膜し、次いでタングステンを CMP により研磨することにより、タング

ステンプラグを形成する。以上のようにして、図3 (b) に示すように、セルコンタクト127、128が形成される。

【0036】

次にセルコンタクト127、128上にビット線129を形成し、さらにその上に層間絶縁膜130を形成する。つづいて、層間絶縁膜130の上面をCMP (化学的機械的研磨) により平坦化する (図4 (c))。

【0037】

次に、層間絶縁膜130をドライエッチングし、セルコンタクト127に達するコンタクトホールを形成する。次いでこのコンタクトホールを埋め込むようにタンゲステン膜を成膜し、次いでCMPにより、容量コンタクト131を形成する (図4 (d))。なお、図4 (d) 中、ビット線129と容量コンタクト131が同じ断面図に描かれているが、全体構造の理解のためにこのように記載したものであり、実際にはこれらは交差していない。

【0038】

次に、図5 (e) に示すように、容量コンタクト131上に層間絶縁膜132を形成する。つづいて図5 (f) に示すように、層間絶縁膜132に容量形成用のシリンダー133を開口する。シリンダー133は、たとえば、深さ300～500 nm、長径0.3～0.5 μm 、短径0.15～0.3 μm の楕円柱状とする。

【0039】

次に図6 (g) に示すように、CVD法により膜厚5～40 nmの下部電極140を形成する。

【0040】

次いでシリンダー133の内部をフォトレジストで充填した後、基板全面をエッチバックし、その後、酸素プラズマ処理および有機剥離処理によりシリンダー133内部のフォトレジストを除去する。以上により、シリンダー133外部の下部電極140が除去される (図6 (h))。

【0041】

つづいて基板全面に容量膜142、上部電極144をこの順で成膜する。ここ

で、容量膜 142 は原子層成長法 (ALD 法) により形成する。

【0042】

容量膜 142 は、 $ZrO_xC_yN_z$ (但し、 x 、 y 、 z は、 $0 < x$ 、 $0.1 \leq y \leq 1.25$ 、 $0.01 \leq z$ 、 $x + y + z = 2$ を満たす。) で表される組成を有する膜である。

【0043】

容量膜 142 を成膜する際に用いる成膜ガスのうち、金属原料ガスは、下記一般式



(但し、 R および R' は、それぞれ独立に炭化水素基を示し、好ましくは直鎖状または分岐状のアルキル基とする。)

で表される金属化合物を用いる。 R および R' としては炭素数 6 以下のアルキル基が好ましく、具体的には、メチル基、エチル基、プロピル基、ターシャルブチル基等が挙げられる。

【0044】

上記原料ガスのうち好ましいものとして、

$Zr(N(C_2H_5)_2)_4$ 、 $Zr(N(CH_3)_2)_4$ 、 $Zr(N(CH_3)(C_2H_5))_4$ 等が挙げられる。こうした化合物を選択することにより、平滑な表面を有する膜が得られ、また、膜中にパーティクルが混入することが抑制される。この結果、リーク電流の少ない良好な膜質の容量膜を得ることができる。

【0045】

容量膜 142 を成膜する際に用いる酸化剤ガスとしては、酸素または酸素元素を含む化合物が用いられる。具体的には、 NO 、 NO_2 、 N_2O 、 H_2O 、 O_2 、 O_3 等が挙げられる。このうち、 NO 、 NO_2 、 N_2O が好ましく、窒化性ガスと酸化性ガスの組み合わせである NO と NO_2 の混合ガス、 NO と O_3 の混合ガスがより好ましい。これらを選択することにより、良好な膜質の容量膜を安定的に得ることができる。従来頻用されていた H_2O を酸化剤として用いるプロセスでは、成膜装置内に H_2O が残存しやすいのに対し、 NO 、 N_2O 、 NO_2 は、パージにより成膜装置から容易に除去することができ、生産効率を向上させる

ことができる。

【0046】

たとえば、膜厚 10 nm の ZrO_2 を以下の方法により成膜したところ、方法 1 では成膜時間 20 分、方法 2 では成膜時間 18 分であったのに対し、方法 3 では 55 分を要した。

【0047】

方法 1

成膜ガス: $Zr(N(CH_3)(C_2H_5))_4 + NO$

方法 2

成膜ガス: $Zr(N(CH_3)(C_2H_5))_4 + O_3$

方法 3

成膜ガス: $ZrCl_4 + H_2O$

容量膜 142 の成膜温度は、200℃以上 400℃以下とすることが好ましい。200℃未満では ZrO_2 膜中の不純物が増大する場合がある。400℃を超えると成膜される基板上で $Zr(NRR')_4$ の分解が起こり膜中不純物が許容度を超える場合がある。また、成膜温度を高くしすぎると結晶粒子の粒径が大きくなりリーク電流が増加する場合がある。

【0048】

また、金属含有成膜ガスと酸化性ガスの比（金属含有成膜ガス／酸化性ガス）は、1／100 以下とすることが好ましい。こうすることにより、膜中の不純物を低減することができる。

【0049】

また、酸化性ガスとして NO および N_2 を混合して用いる場合、NO／ N_2 の値は、1／10000 以上とすることが好ましい。

【0050】

成膜時の圧力は、たとえば 10 mtorr ～ 10 torr とする。

【0051】

成膜ガスの供給は、たとえば図 8 に示すようにする。図 8 (a) は酸化膜、図 8 (b) は酸窒化膜を成膜する際のシーケンスの例である。図 8 (b) では、

成膜中にアンモニアを導入することにより、酸窒化膜を形成する。図中、「成膜ガス」は金属化合物の原料ガスを示し、「酸化剤」とは、酸素または酸素を含む化合物ガスを示す。以下、図8(a)のシーケンスについて、成膜ガスとして $Zr(N(CH_3)(C_2H_5))_4$ を用い、酸化剤ガスとしてNOを用い、パージガスとして不活性ガスをを用いた場合を例に挙げて説明する。

【0052】

まず、ALD装置のチャンバー内に $Zr(N(CH_3)(C_2H_5))_4$ を原料として供給し、下部電極表面に反応を起こさせて1原子層だけ成長させる。次に、 $Zr(N(CH_3)(C_2H_5))_4$ の供給を停止してチャンバーの中にArや N_2 に代表される不活性ガスをパージガスとして入れて過剰の未反応 $Zr(N(CH_3)(C_2H_5))_4$ を除去する。

【0053】

次にNOを供給して基板上に成長したZrを終端している官能基を除去する。次に、NOの供給を停止して、Arや N_2 に代表される不活性ガスをパージガスとして導入し、未反応NOや反応副生成物を除去し、パージガスを停止する。

【0054】

以上のように、 $Zr(N(CH_3)(C_2H_5))_4$ 供給、パージ、NO供給およびパージの一連のサイクルを所望の回数だけ順次繰り返すことで5～15nmの膜厚の $ZrO_xC_yN_z$ (但し、 x 、 y 、 z は、 $0 < x$ 、 $0.1 \leq y \leq 1.25$ 、 $0.01 \leq z$ 、 $x + y + z = 2$ を満たす。) からなる容量膜142を得ることができる。

【0055】

ここで、 $ZrO_xC_yN_z$ の x 、 y 、 z が、 $0 < x$ 、 $0.1 \leq y \leq 1.25$ 、 $0.01 \leq z$ 、 $x + y + z = 2$ を満たすようにするためには、成膜ガスを適切に選択するとともに、その成膜ガスに応じて最適な成膜条件を選択することが重要である。成膜ガスとしては前述した $Zr(NRR')_4$

(但し、RおよびR'は、それぞれ独立に直鎖状または分岐状のアルキル基を示す)

で表される金属化合物を用いることが好ましい。成膜条件としては、成膜温度、成膜圧力、成膜速度、成膜ガスを供給する時間等を好適に調整する。

【0056】

容量膜 142 を形成した後は、CVD 法により膜厚 5 ～ 40 nm の上部電極 144 を形成する。以上により図 7 (i) に示した状態となる。

【0057】

その後、図 7 (j) に示すように、シリンダー 133 内部を埋め込むようにタングステン膜 146 を形成する。次いで、タングステン膜 146 上に所定の開口部を有するレジスト膜を形成し、これをマスクとして選択的にタングステン膜 146 をドライエッチングすることにより素子分離を行い、図 1 に示すような MIM 型容量素子が完成する。

【0058】

このようにして形成された MIM 型容量素子は、電気絶縁性が高く、誘電率の大きい材料である ZrOCN からなる容量膜を備えるため高容量の素子が得られる。また、下部電極と容量膜との界面状態、および容量膜と上部電極との界面状態を良好に保つことができるため、容量値の低下と容量膜リークの増加を効果的に抑制することができる。

【0059】

以上、シリンダー型容量素子の例について説明したが、これに限るものではなく、本発明はプレーナ型容量素子およびボックス型容量素子に適用することもできる。

【0060】

第二の実施の形態

第一の実施の形態において、容量膜 142 を形成した後、 N_2O 、 NH_3 のような窒素含有化合物を用いたプラズマにより、容量膜 142 の窒化を行ってもよい。こうすることにより、容量素子の漏れ電流をさらに効果的に低減することができる。

【0061】

この窒化処理では、リモートプラズマを利用することが好ましい。図 9 は、リ

モートプラズマの概念図である。基板の配置された処理室と異なる場所に、ガス導入口、導波管、マイクロ波印加手段を備えたプラズマ発生室を設け、ここで発生したプラズマを、石英管を経由させ、基板の配置された室に導く。この室内で、基板表面のプラズマ処理を行う。図9では、窒素のみを導入し、プラズマを生成するようになっている。こうした方式を採用することにより、基板へ与える損傷を抑制しつつ十分な窒化処理を行うことができる。プラズマ条件は、たとえば以下のようにする。

【0062】

温度：400～450℃

プラズマパワー：400W～5000W

N₂またはNH₃の流量：0.5L～5L/min

圧力：1mtorr～10torr

第三の実施の形態

本実施形態は、デカップリングコンデンサに本発明を適用した例である。デカップリングコンデンサとは、LSIの配線の上層に形成される高誘電薄膜キャパシタであって、電源とLSIの配線間に存在する寄生インダクタンス等によって生じる電圧降下を補うために設置される。本実施形態では、このコンデンサの容量膜を低温成膜が可能でかつ酸化雰囲気のプロセスを不要とするALD法により形成して、このMIM構造の薄膜キャパシタを電源間のデカップリングコンデンサとして機能させるものである。

【0063】

図10は、本実施形態に係る半導体装置の一部断面図である。最上層配線（接地線）201、最上層配線（電源線）202上には層間膜205が形成され、層間膜205上には、下部電極206、容量膜207、上部電極208がこの順で形成され、デカップリングコンデンサ210を構成している。下部電極206と最上層配線（接地線）201とはコンタクトプラグ203を介して接続されており、上部電極208と最上層配線（電源線）202とはコンタクト204を介して接続されている。

【0064】

次に、図10に示すデカップリングコンデンサの製造方法について説明する。まず、既知の製造方法に基づき作製したロジックデバイスの最上層配線201、202上に層間膜205を成膜する。この層間膜205にコンタクトホールを形成し、Cu、Al、TiN、Wからなる群から選択される一または二以上の材料を成膜して埋め込みを行い、CMPを行ってコンタクトプラグ203、204を形成する。CMP後、層間膜205およびコンタクトプラグ203、204上に、反応性スパッタ法あるいはALD法により、TiN、Ti、Ta₂N₅、Ta、W、WN、Pt、Ir、Ruから成る群中の少なくとも1つ以上の材料からなる下部電極膜を成膜し、下部電極膜を所望の形状に加工して下部電極206を形成する。

【0065】

下部電極206を形成した後に、ALD法により成膜温度200～400℃で容量膜を成膜する。この容量膜は、 $ZrO_xC_yN_z$ （但し、 x 、 y 、 z は、 $0 < x$ 、 $0.1 \leq y \leq 1.25$ 、 $0.01 \leq z$ 、 $x + y + z = 2$ を満たす。）で表される組成を有する膜である。膜厚は、2～15nm程度とする。この膜を成膜する方法や、用いる成膜ガス、酸化剤ガスは、第一の実施の形態で述べたのと同様である。本実施形態では、こうした特定組成を有する金属化合物膜を容量膜に用いるため、高容量で漏れ電流の少ない容量素子を実現することができる。

【0066】

容量膜を所望の形状に加工して容量膜207を形成した後、スパッタ法あるいはALD法によりTiN、Ti、Ta₂N₅、Ta、W、WN、Pt、Ir、Ruから成る群中の少なくとも1つ以上の材料からなる上部電極膜を成膜し、次に、所望の形状に加工して上部電極208を形成することにより半導体装置内部にデカップリングコンデンサとして機能する薄膜キャパシタを得る。

【0067】

なお、図10では、下部電極を最上層配線（接地線）に接続し、上部電極を最上層配線（電源線）に接続しているが、本発明は、この場合に限定されるものではなく、接続関係を入れ替えて下部電極を最上層配線（電源線）に接続し、上部電極を最上層配線（接地線）に接続する場合も当然に同じ作用を奏するものであ

る。

【0068】

また、図10では、デバイスの最上層配線の直上にデカップリングコンデンサとして機能する薄膜キャパシタを形成したが、最上層配線上に限るものではなく、デバイスの内部、下部いずれの場所でも良い。

【0069】

上述したように、この第三の実施の形態では、高誘電率を有する容量膜の形成に低温成膜かつ酸化雰囲気のプロセスによる不要の特徴を有するALD法を用いることにより、配線層の酸化による特性劣化、歩留まり低下を引き起こさずに半導体装置の内部に薄膜キャパシタを形成できる。

【0070】

この薄膜キャパシタをデカップリングコンデンサとして機能させることにより、従来のオンチップデカップリングコンデンサの問題を解決するとともに、オンチップデカップリングコンデンサの利点である低インダクタンス・大容量を実現できる。

【0071】

上記特性組成の容量膜を有する薄膜キャパシタを半導体装置の最上配線上に形成することにより、LSIの高速化に対応した低インダクタンスかつ大容量のオンチップデカップリングコンデンサを実現することができる。

【0072】

第四の実施の形態

本実施形態は、本発明をMOSFETに適用した例である。本実施形態に係るMOSFETは、図11に示す構造を有している。図11のトランジスタは、シリコン基板400上に、シリコン酸化膜402および金属化合物膜404が積層してなるゲート絶縁膜と、ポリシリコンからなるゲート電極406とが積層したゲート電極を備えている。このゲート電極の側面にシリコン酸化膜からなるサイドウォール410が形成されている。ゲート電極の両脇のシリコン基板400表面には不純物が拡散したソース領域およびドレイン領域412が形成されている。

【0073】

金属化合物膜404は、 $\text{HfO}_x\text{C}_y\text{N}_z$ （但し、 x 、 y 、 z は、 $0 < x$ 、 $0.1 \leq y \leq 1.25$ 、 $0.01 \leq z$ 、 $x + y + z = 2$ を満たす。）で表される組成を有する膜である。このような膜を採用することにより、ゲート電極中の不純物のシリコン基板への突き抜けを効果的に防止することができる。

【0074】

上記金属化合物成膜用原料ガスとして好ましいものは、 $\text{Hf}(\text{N}(\text{C}_2\text{H}_5)_2)_4$ 、 $\text{Hf}(\text{N}(\text{CH}_3)_2)_4$ 、 $\text{Hf}(\text{N}(\text{CH}_3)(\text{C}_2\text{H}_5))_4$ 等が挙げられる。こうした化合物を選択することにより、不純物の突き抜けの現象をより効果的に抑制することができる。

【0075】

以下、図11のトランジスタの製造方法について図12および図13を参照して説明する。はじめに、図12(a)のように、表面を所定の薬液を用いて洗浄したシリコン基板400を用意する。次いで図12(b)のように、このシリコン基板400の主面にCVD法によりシリコン酸窒化膜402を形成する。つづいて、図12(c)のように、原子層成長法により金属化合物膜404を形成する。この成膜に用いる成膜ガスのうち、金属原料ガスは、下記一般式



（但し、 R および R' は、それぞれ独立に炭化水素基を表し、好ましくは直鎖状または分岐状のアルキル基とする。）

で表される金属化合物を用いる。 R および R' としては炭素数6以下のアルキル基が好ましく、具体的には、メチル基、エチル基、プロピル基、ターシャルブチル基等が挙げられる。

【0076】

一方、金属化合物膜404を成膜する際に用いる酸化剤ガスとしては、酸素または酸素元素を含む化合物が用いられる。具体的には、 NO 、 NO_2 、 N_2O 、 H_2O 、 O_2 、 O_3 等が挙げられる。このうち、 NO 、 NO_2 、 N_2O が好ましく、窒化性ガスと酸化性ガスの組み合わせである NO と NO_2 の混合ガス、 NO と O_3 の混合ガスがより好ましい。これらを選択することにより、良好な膜質の

容量膜を安定的に得ることができる。また、NO、N₂O、NO₂は、パージにより成膜装置から容易に除去することができ、生産効率を向上させることができる。

【0077】

成膜ガスの供給は、たとえば以下のようにする。まず、ALD装置のチャンバー内にHf(N(CH₃)(C₂H₅))₄を原料として供給し、下部電極薄膜表面に反応を起こさせて1原子層だけ成長させる。次に、Hf(N(CH₃)(C₂H₅))₄の供給を停止してチャンバーの中にArやN₂に代表される不活性ガスをパージガスとして入れて過剰の未反応Hf(N(CH₃)(C₂H₅))₄を除去する。

【0078】

次にNOを供給して基板上に成長したHfを終端している官能基を除去する。次に、NOの供給を停止して、ArやN₂に代表される不活性ガスをパージガスとして導入し、未反応NOや反応副生成物を除去し、パージガスを停止する。

【0079】

以上のように、Hf(N(CH₃)(C₂H₅))₄供給、パージ、NO供給およびパージの一連のサイクルを所望の回数だけ順次繰り返すことで5～15 nmの膜厚のHfO_xC_yN_z(但し、x、y、zは、0<x、0.1≤y≤1.25、0.01≤z、x+y+z=2を満たす。)からなる金属化合物膜404を得る。

【0080】

その後、図12(d)に示すように、金属化合物膜404上にゲート電極膜406を形成する。ゲート電極膜406としては、多結晶シリコンを用いることが好ましいが、そのほか、SiGe、TiN、WN、Ni等の金属電極を用いることもできる。

【0081】

つづいて、図13(e)のように、シリコン窒化膜402、金属化合物膜404およびゲート電極膜406をエッチングして所定の形状に加工し、ゲート電極を得る。その後、ゲート電極側面にサイドウォール410を形成するとともにゲ

ート電極およびその両脇のシリコン基板400表面に不純物を導入する。以上により、図13(f)に示すMOSFETが作製される。

【0082】

本実施形態に係るMOSFETでは、ゲート絶縁膜が上記特定組成の金属化合物膜404を含むため、ゲート電極膜406中の不純物がゲート絶縁膜を突き抜けシリコン請求項基板400へ侵入することを効果的に抑制することができる。これにより、信頼性の高いトランジスタが得られる。

【0083】

以上、本発明の好ましい実施の形態について説明した。この実施の形態は例示であり、様々な変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

【0084】

たとえば、上記実施の形態において、容量素子ではZrを含有する膜を利用し、トランジスタではHfを含有する膜を利用したが、容量素子においてHf含有膜を、トランジスタにおいてZr含有膜を、それぞれ用いることもできる。また、HfとZrの両方を含む膜を、容量膜やゲート絶縁膜に適用することもできる。

【0085】

また、容量膜やゲート絶縁膜は、単層構造でも多層構造のいずれであってもよい。多層構造を採用する場合、上記特定組成の金属化合物膜を複数備えていてもよい。多層の場合、上記特定組成範囲内であれば、例えばZrOCNとHfOCNの積層膜のように各層の組成が異なっても良い。

【0086】

また、容量膜やゲート絶縁膜において、電極等と接する部分が上記金属化合物膜以外の材料により構成されていてもよい。たとえば、ゲート絶縁膜とシリコン基板との界面やゲート絶縁膜とゲート電極との界面において、シリコンと金属化合物膜との反応を抑制するために金属窒化膜や金属酸窒化膜を形成してもよい。

【0087】

【実施例】

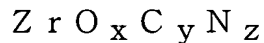
シリコン基板上にトランジスタを形成し、その拡散層と接続するように、トランジスタの上部に第一の実施の形態で説明した図1の構造のシリンダ型キャパシタを形成した。キャパシタは、TiNからなる膜厚30nmの下部電極、膜厚10nmの容量膜および膜厚30nmのTiNからなる上部電極がこの順で積層した構造を有する。

【0088】

容量膜は原子層成長法により形成した。その成膜条件を表1のように変更し、NO. 1～NO. 8のサンプルを作製した。得られた容量膜について、SIMS（二次イオン質量分析）により元素組成を測定したところ、表2に示すような組成が得られた。

【0089】

NO. 2～NO. 4のサンプルは、



式中、 x 、 y 、 z は、 $0.7 < x$ 、 $0.1 \leq y \leq 1.25$ 、 $0.01 \leq z$ 、 $x + y + z = 2$ を満たすものであった。

【0090】

一方、NO. 6～NO. 8は、上記 x 、 y 、 z の組成が上記式で規定する範囲からはずれるものであった。NO. 6～NO. 8およびNO. 2～NO. 4は、いずれも $\text{Zr}(\text{N}(\text{CH}_3)(\text{C}_2\text{H}_5))_4$ （テトラキスメチルエチルアミノジルコニウム）を用いるものであるが、成膜条件によって、得られる膜の組成が変動することがわかる。このことから、上記条件を満たす $\text{ZrO}_x\text{C}_y\text{N}_z$ （からなる組成の金属化合物膜は、単に成膜ガスを適切に選択することのみでは実現することは困難であり、成膜ガスの選択、成膜条件の最適化によりはじめて形成できるものであることが明らかにされた。成膜条件としては、成膜温度、成膜圧力、成膜速度、成膜ガスを供給する時間等を挙げられ、これらの条件の組み合わせを最適化することにより、上記金属化合物膜を得ることができる。

【0091】

NO. 1～NO. 5と同条件で作成した膜について、パーティクルチェッカーで測定したところ、NO. 1では膜中にパーティクルが混入していることが確認

された。NO. 2～NO. 5 および NO. 6～NO. 8 では、パーティクルの混入は認められなかった。

【0092】

次に、上記サンプルのうち NO. 1、3、5、8 について、容量および漏れ電流を測定し比較した。結果を図 14 に示す。図中、各サンプルについて、それぞれ複数の測定結果が示されているが、これは膜厚を変えて成膜し、複数の測定を行ったものである。NO. 3 のサンプルは他のものに比べて漏れ電流が小さいことが明らかになった。NO. 2、4 についても同様の測定を行ったところ、NO. 1、5、8 に対し漏れ電流が小さいという結果が得られた。

【0093】

【表 1】

	使用ガス1	使用ガス 2	使用ガス 3	使用ガス 比 1/2/3	成膜温度 (C)	成膜圧力 (torr)	成膜速度 (A/cycle)	元素組成			
								O	C	N	Cl
NO.1	ZrCl ₄	H ₂ O	N ₂	1/2.5/10	200-400	0.05-10	0.4-3	1.974	0.02	0.001	0.005
NO.2	Zr(N(CH ₃)(C ₂ H ₅)) ₄	NO	N ₂	1/100/1000	200-400	0.05-10	0.4-3	1.842	0.105	0.053	0
NO.3	Zr(N(CH ₃)(C ₂ H ₅)) ₄	NO	N ₂	1/100/1000	200-400	0.05-10	0.4-3	1.15	0.8	0.05	0
NO.4	Zr(N(CH ₃)(C ₂ H ₅)) ₄	NO	N ₂	1/100/1000	200-400	0.05-10	0.4-3	0.71	1.19	0.1	0
NO.5	Zr(OiPr) ₄	O ₂	N ₂	-	200-400	0.05-10	10-50	0.5	1.499	0.001	0
NO.6	Zr(N(CH ₃)(C ₂ H ₅)) ₄	NO	N ₂	1/100/1000	150	0.05-10	0.4-3	0.415	1.583	0.002	0
NO.7	Zr(N(CH ₃)(C ₂ H ₅)) ₄	NO	N ₂	1/20/1000	200-400	0.05-10	0.4-3	0.559	1.34	0.001	0
NO.8	Zr(N(CH ₃)(C ₂ H ₅)) ₄	NO	N ₂	100/1/1000	200-400	0.05-10	0.4-3	0.38	1.61	0.01	0

【0094】

【発明の効果】

以上説明したように本発明によれば、ZrやHfを含む高誘電率材料からなる膜を有する半導体素子において、膜中の漏れ電流を低減し、素子の信頼性を向上させることができる。本発明を容量素子に適用した場合、高容量で漏れ電流の少ない容量素子が提供される。また本発明をトランジスタに適用した場合、シリコン酸化膜換算膜厚が薄く、信頼性の高いゲート絶縁膜を備えたトランジスタが提供される。

【図面の簡単な説明】

【図1】

実施の形態に係る容量素子の構造を示す図である。

【図2】

従来の容量素子の構造を示す図である。

【図3】

実施の形態に係る容量素子の製造方法を説明するための図である。

【図4】

実施の形態に係る容量素子の製造方法を説明するための図である。

【図5】

実施の形態に係る容量素子の製造方法を説明するための図である。

【図6】

実施の形態に係る容量素子の製造方法を説明するための図である。

【図7】

実施の形態に係る容量素子の製造方法を説明するための図である。

【図8】

図8(a)は酸化膜、図8(b)は酸窒化膜を成膜する際のシーケンスの例である。

【図9】

リモートプラズマの概念図である。

【図10】

実施の形態に係るデカップリングコンデンサの構造を示す図である。

【図11】

実施の形態に係るトランジスタの構造を示す図である。

【図 1 2】

実施の形態に係るトランジスタの製造方法を説明するための図である。

【図 1 3】

実施の形態に係るトランジスタの製造方法を説明するための図である。

【図 1 4】

実施例で評価した容量素子の特性を示す図である。

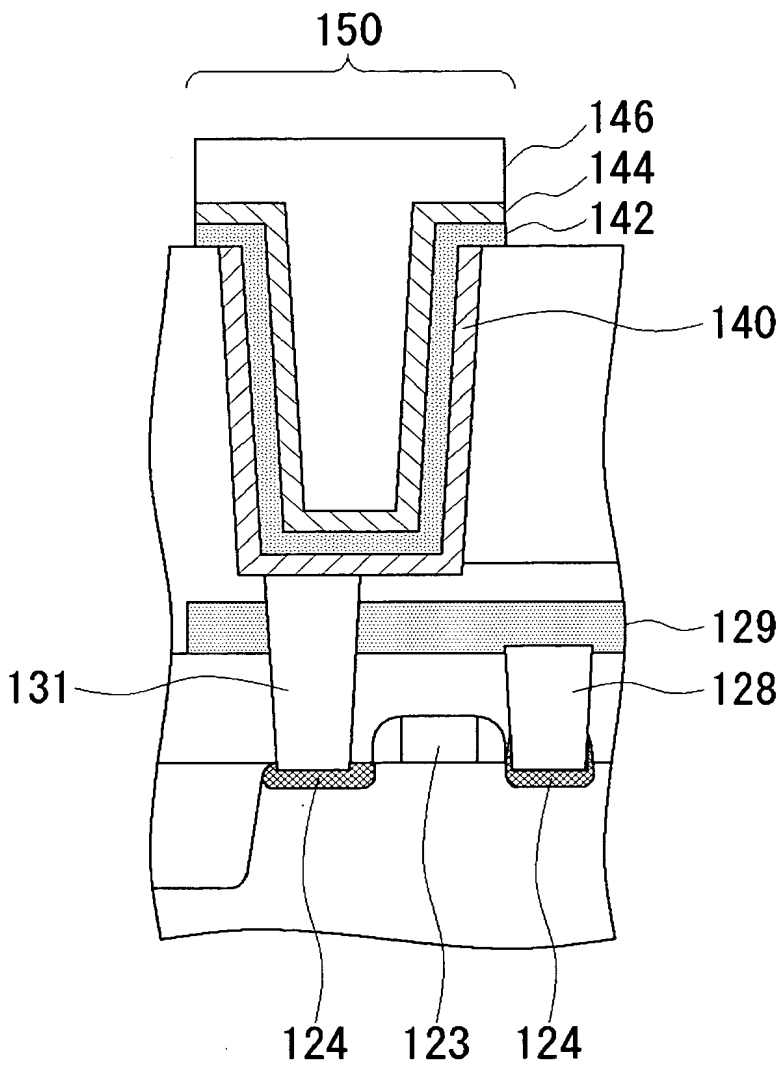
【符号の説明】

- 2 1 基板
- 2 2 素子分離領域
- 2 3 ゲート電極
- 2 4 ドレイン拡散層
- 2 5 サイドウォール
- 3 1 容量コンタクト
- 3 4 下部電極
- 3 5 容量膜
- 3 6 上部電極
- 3 7 タングステン膜
- 1 2 1 基板
- 1 2 2 素子分離領域
- 1 2 3 ゲート電極
- 1 2 4 ソース・ドレイン領域
- 1 2 6 層間絶縁膜
- 1 2 7 セルコンタクト
- 1 2 8 セルコンタクト
- 1 2 9 ビット線
- 1 3 0 層間絶縁膜
- 1 3 1 容量コンタクト
- 1 3 2 層間絶縁膜

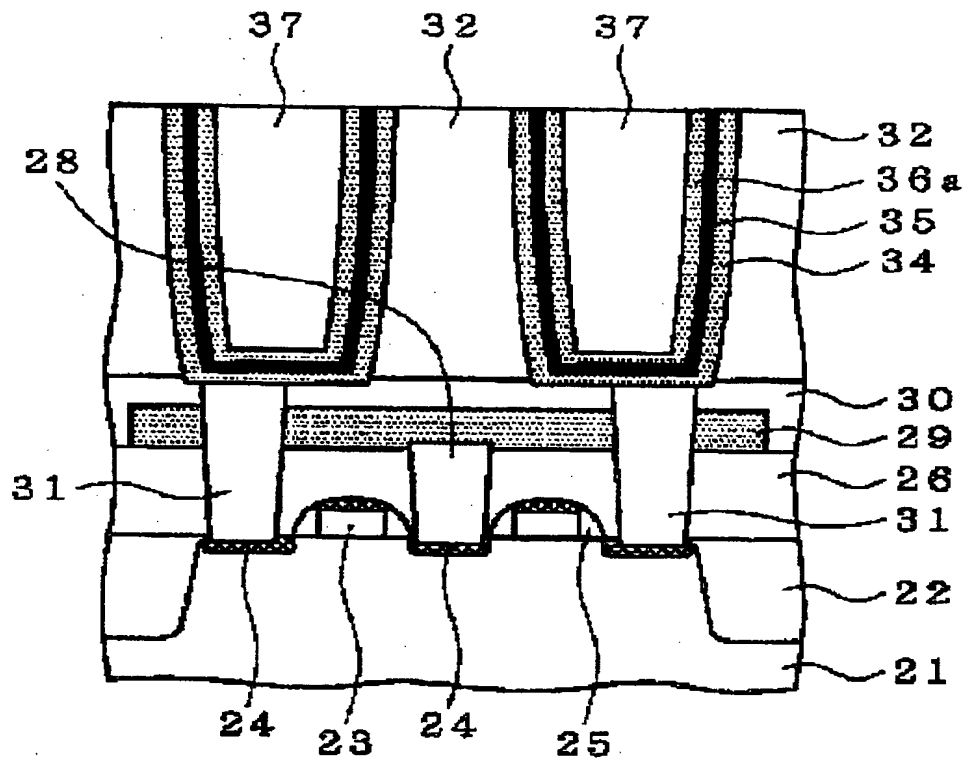
- 1 3 3 シリンダー
- 1 4 0 下部電極
- 1 4 2 容量膜
- 1 4 4 上部電極
- 1 4 6 タングステン膜
- 1 5 1 基板
- 2 0 1 最上層配線（接地線）
- 2 0 2 最上層配線（電源線）
- 2 0 3 コンタクトプラグ
- 2 0 4 コンタクトプラグ
- 2 0 5 層間膜
- 2 0 6 下部電極
- 2 0 7 容量膜
- 2 0 8 上部電極
- 2 1 0 デカップリングコンデンサ
- 4 0 0 シリコン基板
- 4 0 2 シリコン窒化膜
- 4 0 4 金属化合物膜
- 4 0 6 ゲート電極
- 4 1 0 サイドウォール
- 4 1 2 ドレイン領域

【書類名】 図面

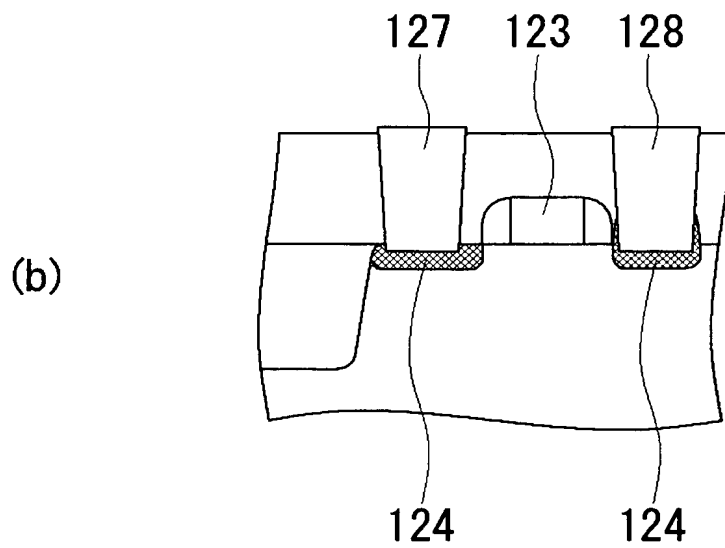
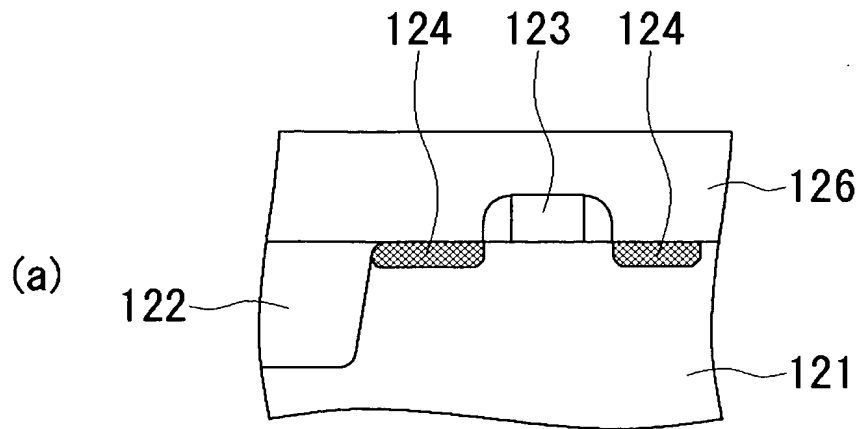
【図 1】



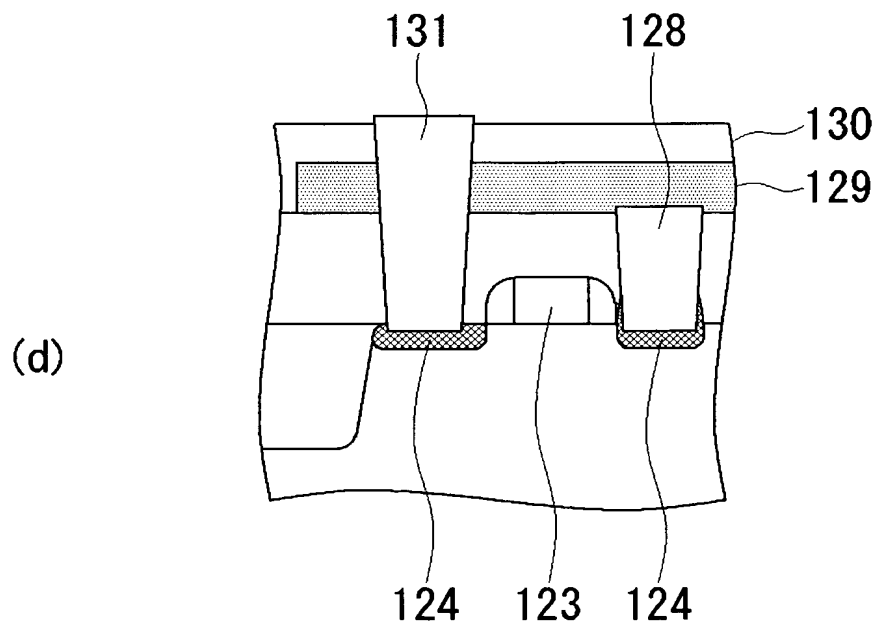
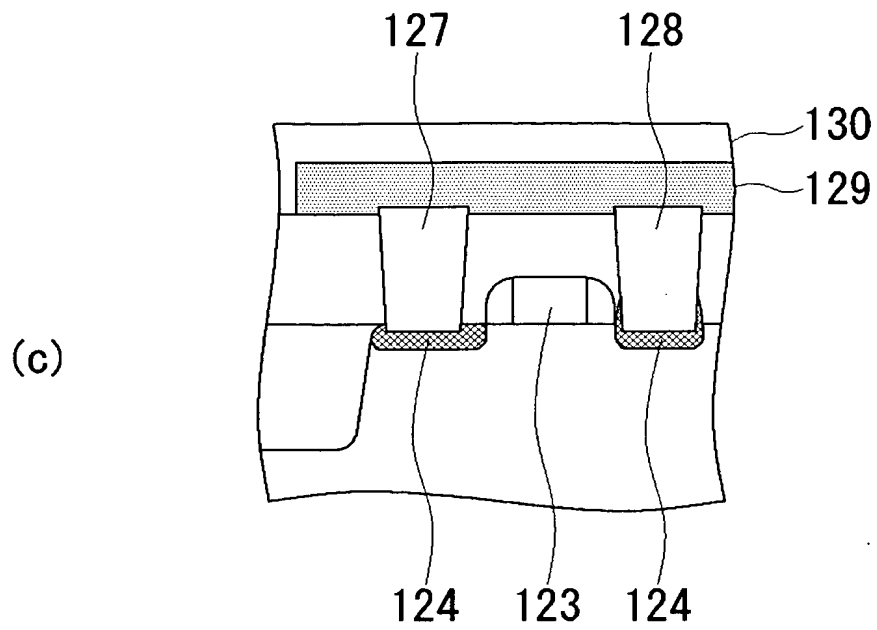
【図 2】



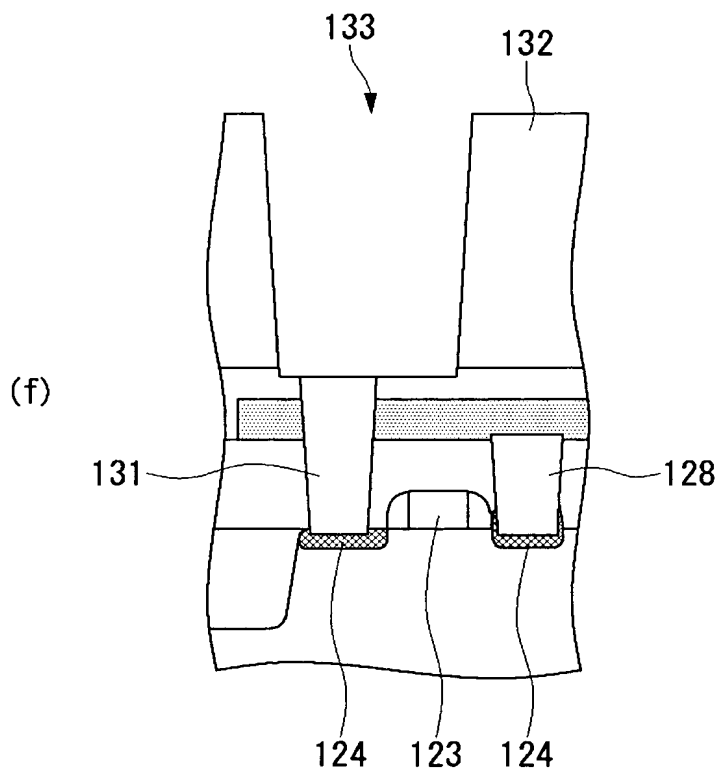
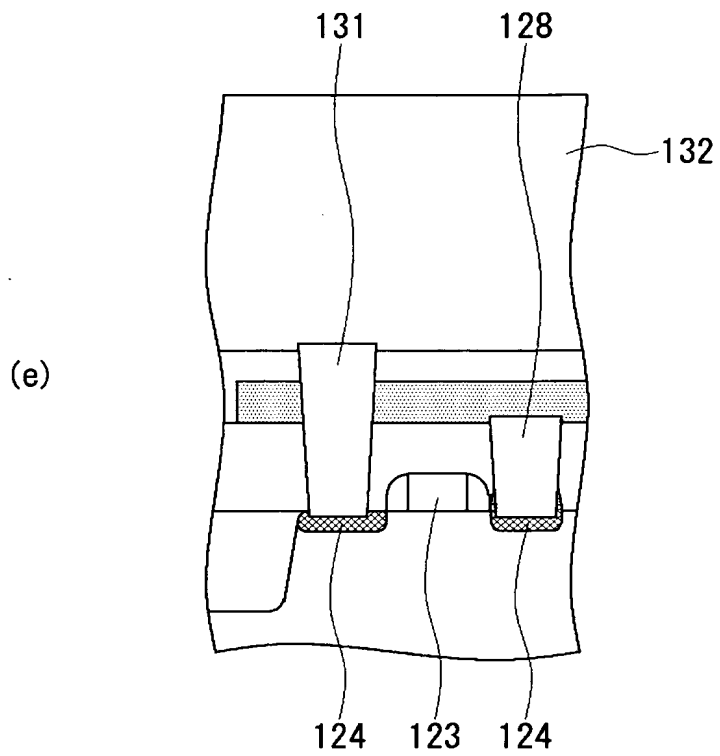
【図 3】



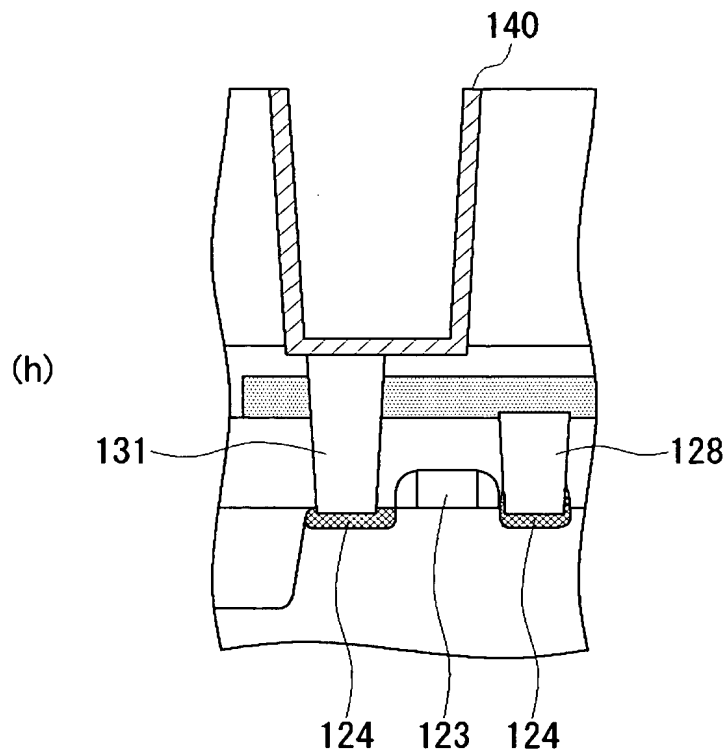
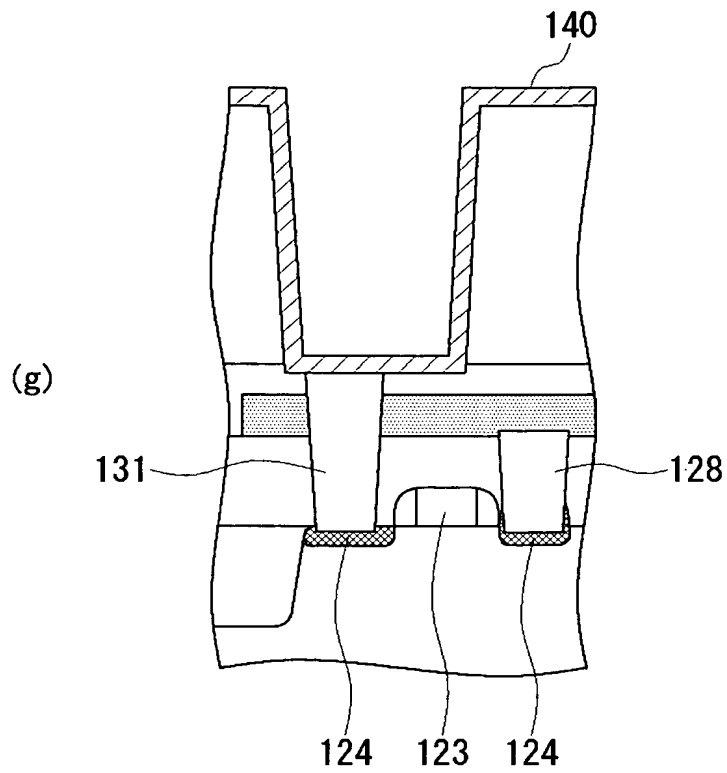
【図 4】



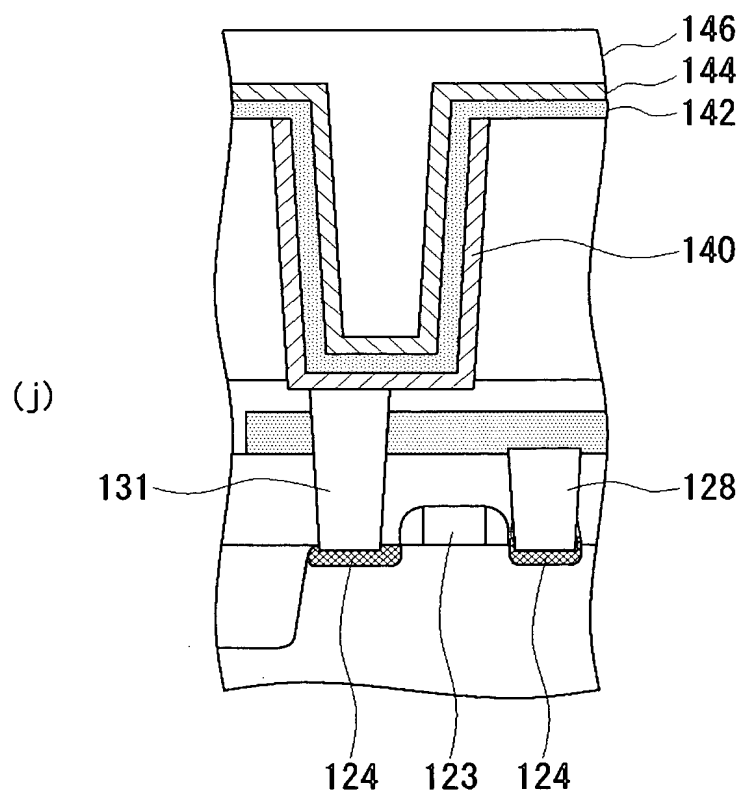
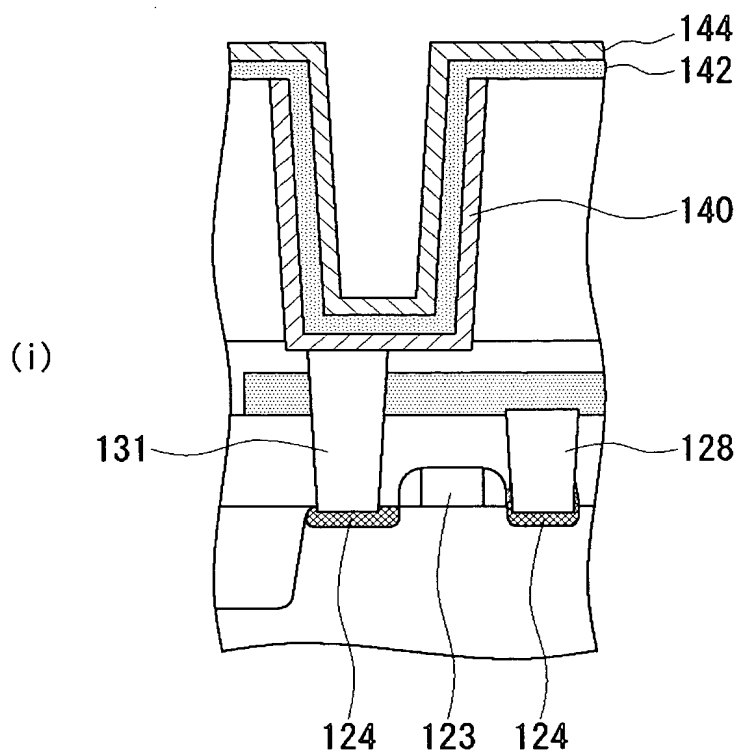
【図 5】



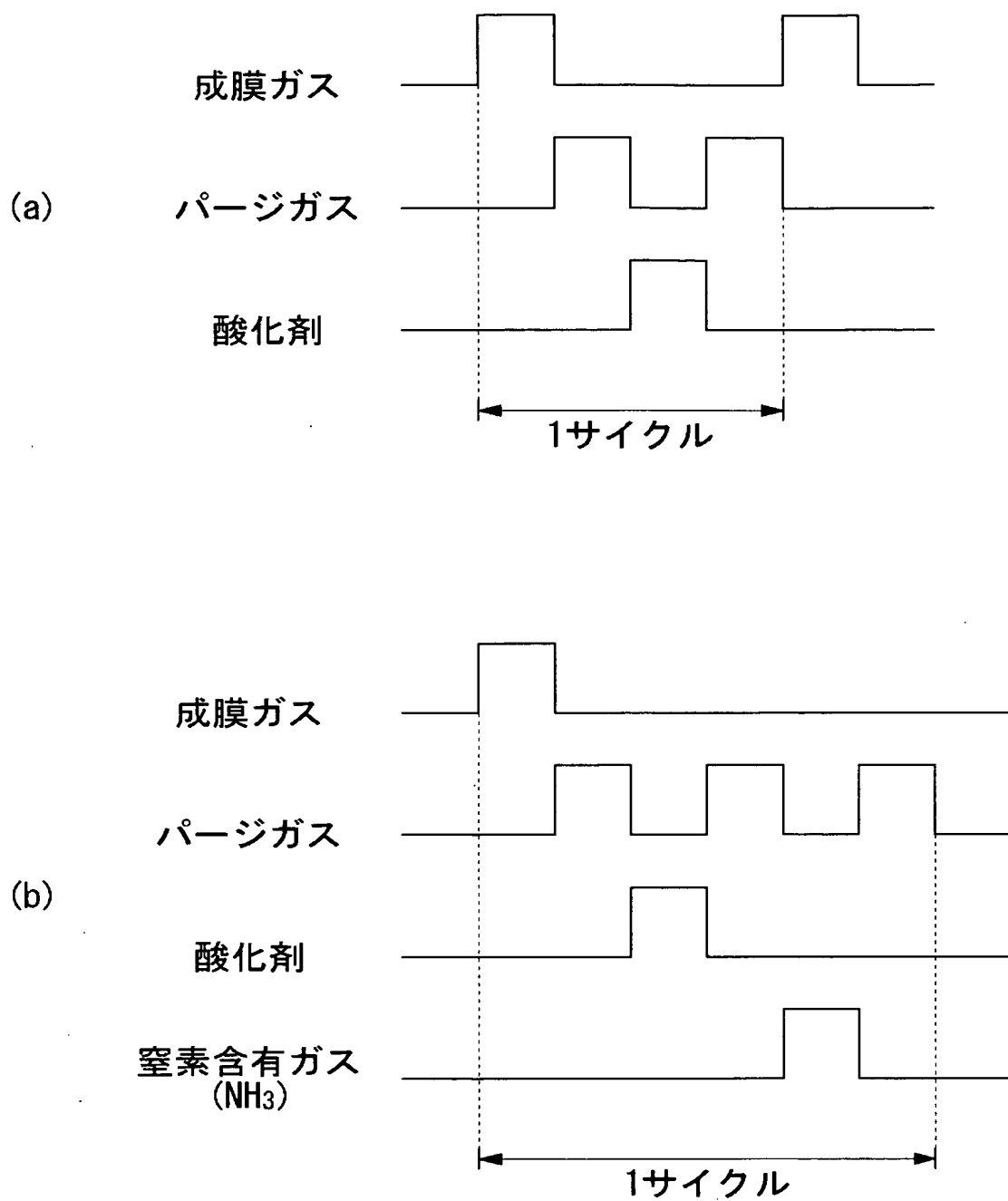
【図 6】



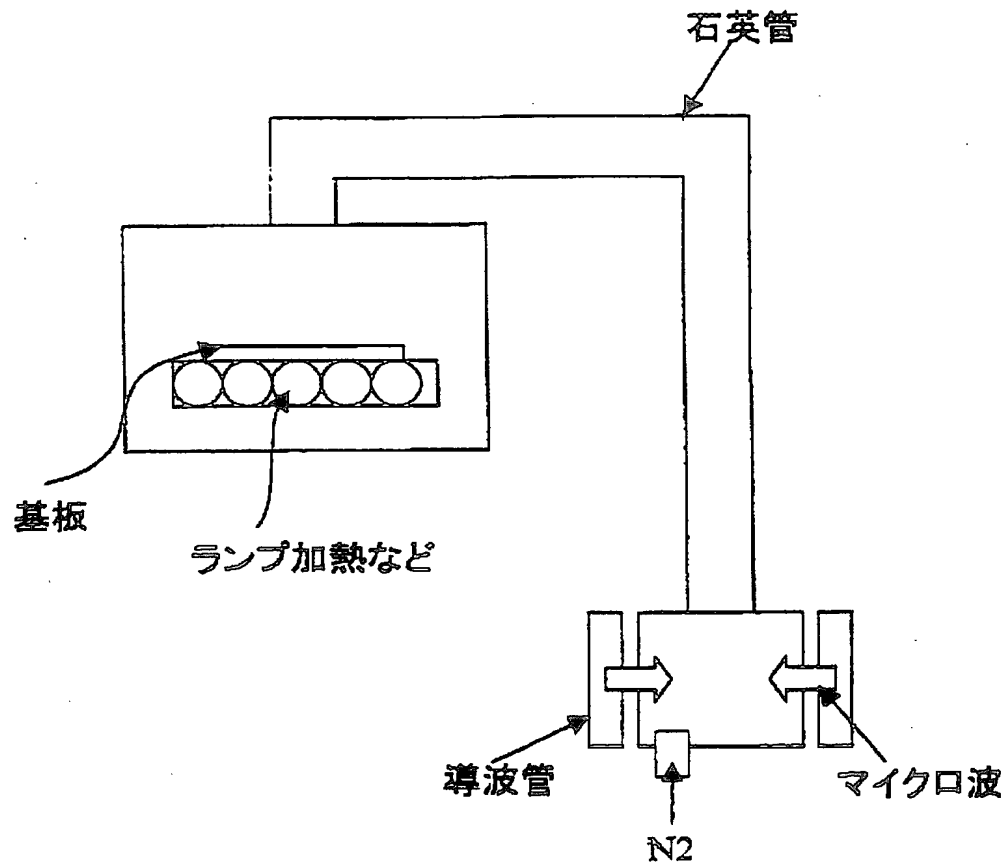
【図 7】



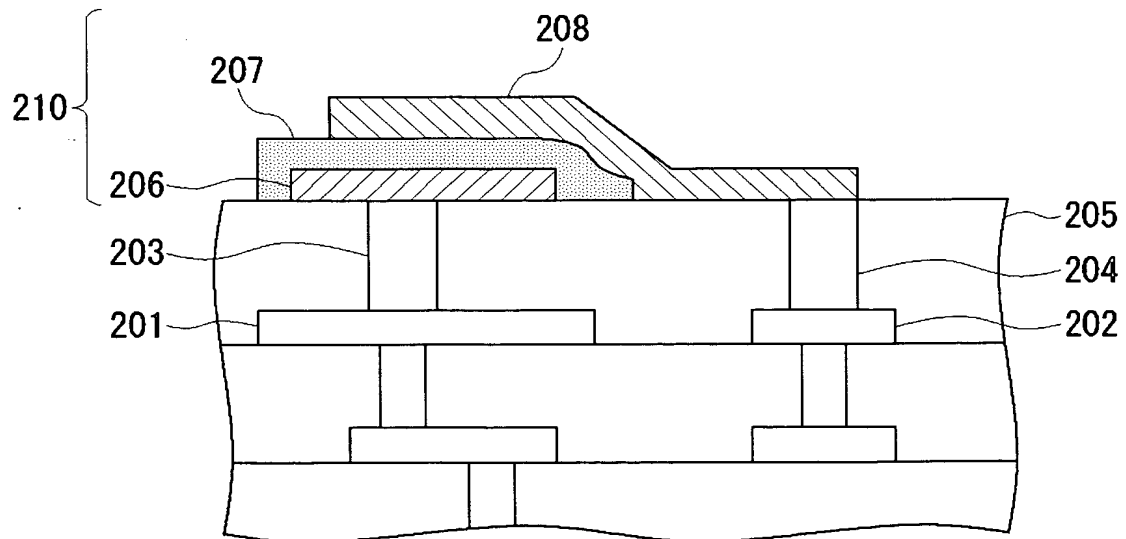
【図 8】



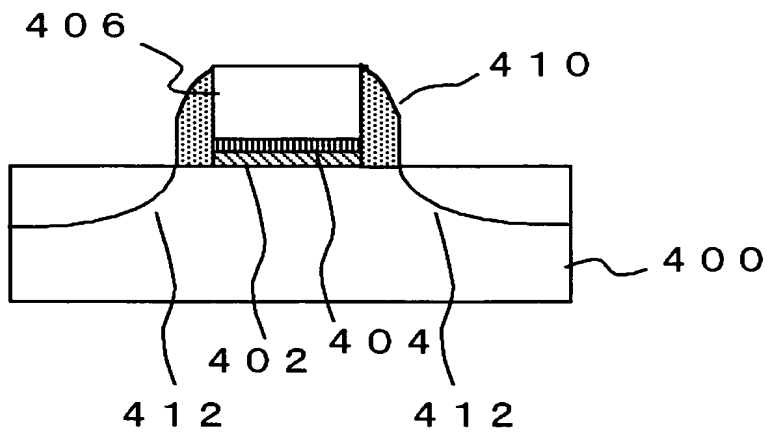
【図 9】



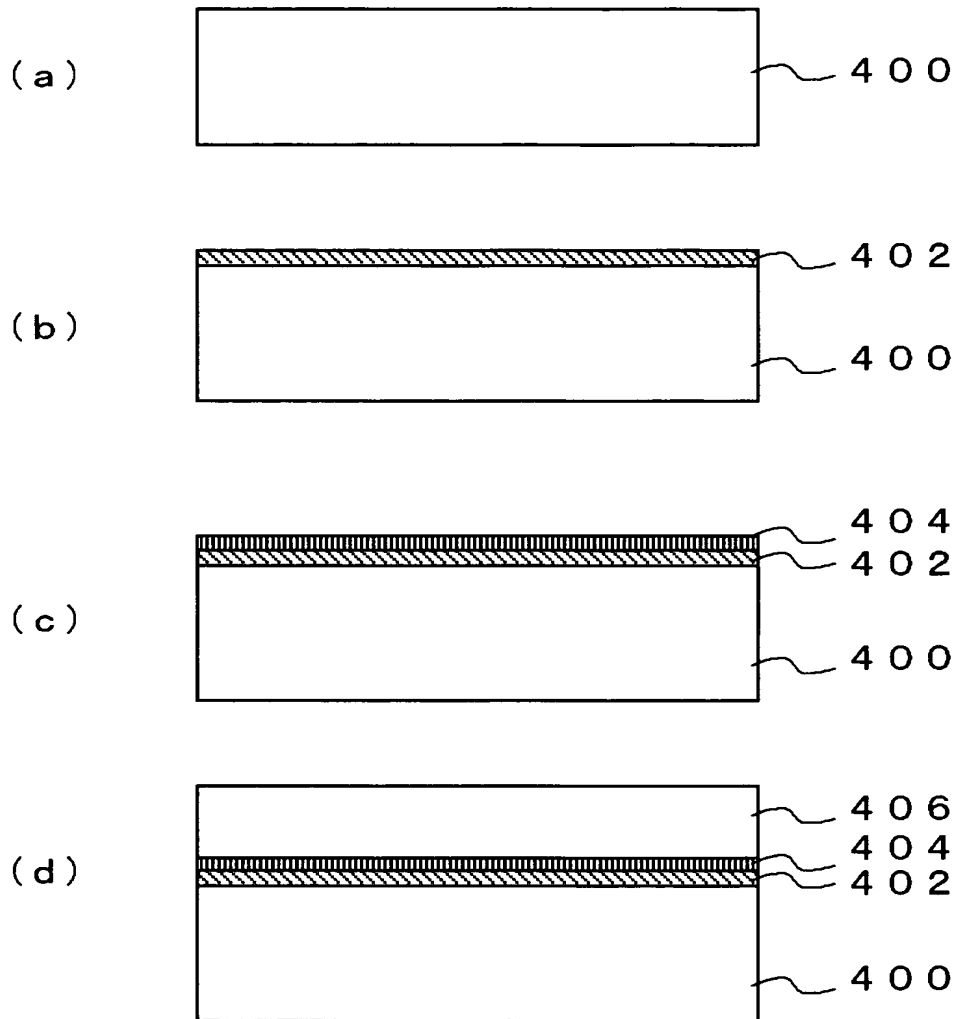
【図 10】



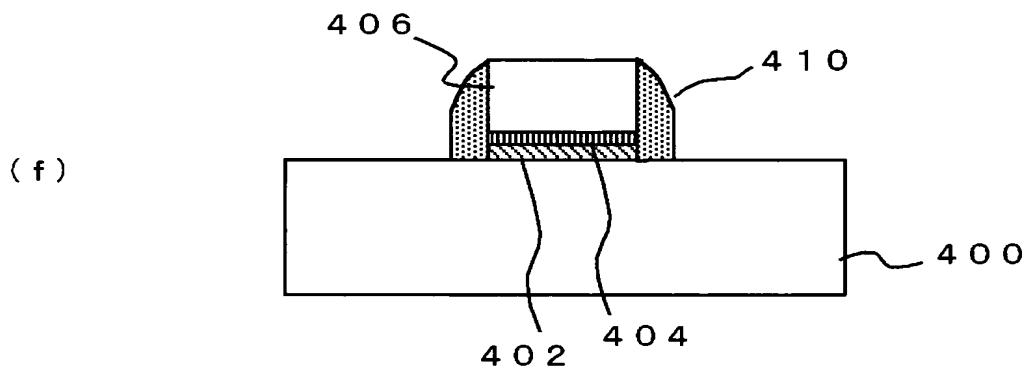
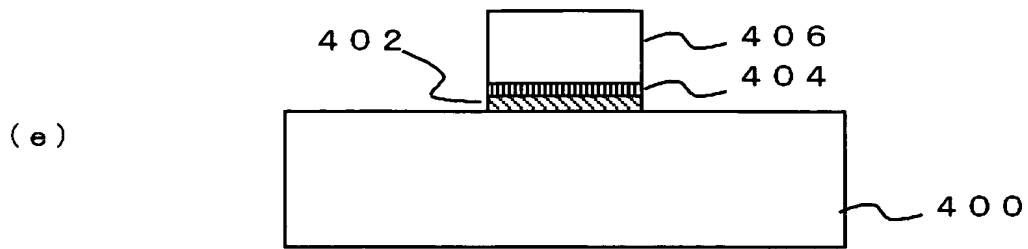
【図 11】



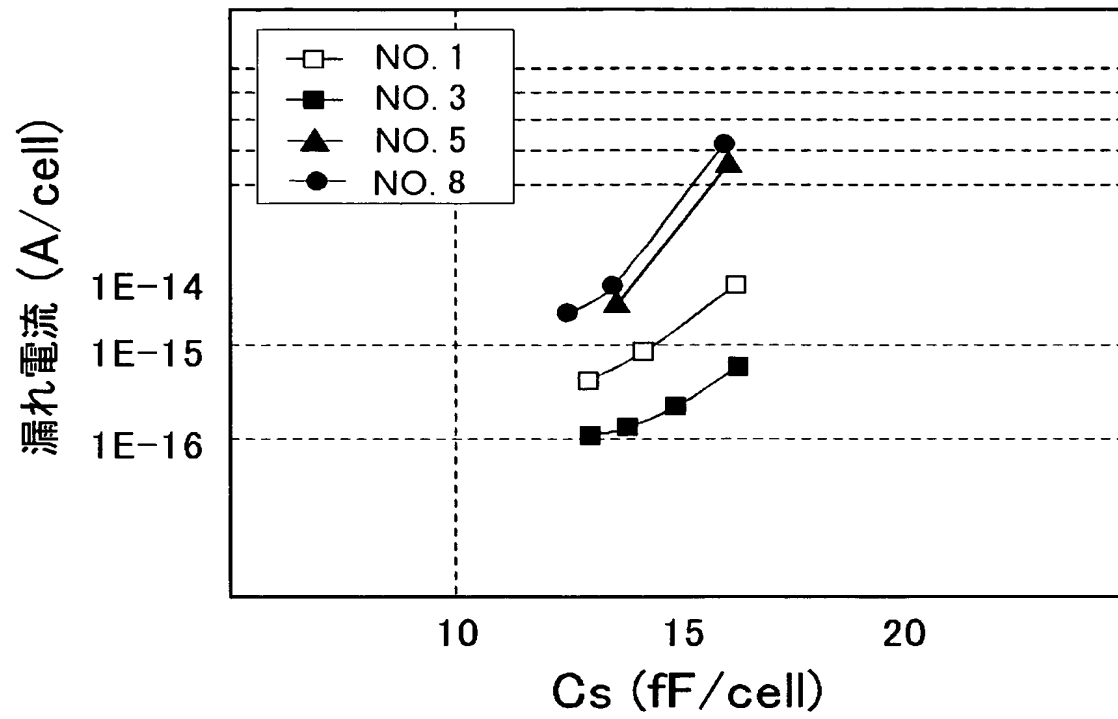
【図 12】



【図 13】



【図 1 4】



【書類名】 要約書

【要約】

【課題】 高誘電率材料からなる容量膜を有する半導体素子において、当該膜中の漏れ電流を低減し、素子の信頼性を向上させる。

【解決手段】 容量膜 1 4 2 を、式 $MO_xC_yN_z$

(但し、 x 、 y 、 z は、 $0 < x$ 、 $0.1 \leq y \leq 1.25$ 、 $0.01 \leq z$ 、 $x + y + z = 2$ を満たす。 M は、少なくとも Hf または Zr を含む。)

で表される組成を有する金属化合物膜により構成する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 8 4 3 1 4
受付番号	5 0 3 0 0 4 8 8 3 3 2
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 3 月 2 7 日

< 認定情報・付加情報 >

【提出日】	平成15年 3月26日
-------	-------------

次頁無

特願 2 0 0 3 - 0 8 4 3 1 4

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 6 2 9 3 1]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社